

引用格式:钟悦航,武继刚,刘鹏,等.忆阻器的三值逻辑门和加法器设计[J].微电子学与计算机,2021,38(7):60-66. [ZHONG Y H, WU J G, LIU P, et al. Design of ternary logic gates and adder based on memristor[J]. Microelectronics & Computer, 2021, 38(7): 60-66.]

忆阻器的三值逻辑门和加法器设计

钟悦航,武继刚,刘 鹏,姚 廉
(广东工业大学 计算机学院,广东 广州 510006)

摘 要: 现有忆阻器的三值逻辑电路设计中无法级联且无法保存输入输出值,导致面积开销和功耗增加.通过对忆阻器辅助逻辑进行扩展,设计了忆阻器的三值逻辑门,具备三值逻辑的完备性.在此基础上设计实现了三值译码器和三值加法器.使用 Spice 仿真软件对所设计的电路进行了验证.结果表明:与已有的文献进行比较,所提出的电路面积和功耗有所减少.

关键词: 忆阻器;三值逻辑;加法器;Spice

中图分类号: TP33 **文献标识码:** A **文章编号:** 1000-7180(2021)07-0060-07

Design of ternary logic gates and adder based on memristor

ZHONG Yuehang, WU Jigang, LIU Peng, YAO Lian
(Guangdong University of Technology, Guangzhou 510006, China)

Abstract: The existing ternary logic circuit of memristors cannot be cascaded and cannot store input and output values, which leads to the increase of area overhead and power consumption. Considering the characteristics of memristors and ternary logic, several ternary logic gates extended from MAGIC-Memristor-Aided Logic are proposed. Starting with the basic ternary logic gates, the ternary decoder and the ternary adder are realized. The circuit was verified by SPICE simulation software. The results show that the proposed circuit area overhead and power consumption are reduced compared with the existing literatures.

Key words: memristor; ternary logic; adder; Spice

1 引言

1971 年蔡少棠从理论上预测忆阻器的存在^[1], 2008 年惠普实验室成功制造出第一个忆阻器件,验证了蔡少棠的假设^[2]. 忆阻器是一种双端无源器件,其阻值随流经它的总电荷量的变化而变化,并且在断电期间仍可保持. 其中忆阻器的不同电阻状态可以表示不同的逻辑值. 如今 CMOS 技术面临着各种各样的物理限制,比如面积、功耗等,严重制约了集成电路的发展.

传统的数字电路基于二值逻辑,信号表示为 0

和 1 两种状态. 1984 年, Balla P C 利用增强型和耗尽型晶体管首次实现了基于 CMOS 的三值逻辑门^[3]. 从此三值逻辑门得到人们广泛地研究. 2009 年, Lin S 首次实现了基于 CNTFET 的三值逻辑门^[4], 并在 2011 年提出了完整的三值逻辑电路^[5]. 虽然相比三值 CMOS 逻辑门电路, 其具有高性能和更低的延迟、功耗等优势, 但是对于阵列式 CNTFET 器件, 难以控制好各个碳纳米管之间的距离, 存在阵列控制的问题. 此外, Appenzeller J 指出 CNTFET 器件的沟道中存在“电荷堆积”现象, 影响状态切换^[6]. 而使用忆阻器来实现三值逻辑

运算能够很好地克服这些问题. 它拥有更小的体积, 更高的集成度以及更低的功耗, 还可以通过多个电阻状态表示多值逻辑^[7]. 近年来, 研究者们提出了多种忆阻器的二值逻辑实现方法, 包括忆阻器比值逻辑^[8] (Memristor-Ratioed Logic, MRL) 和忆阻器辅助逻辑^[9] (Memristor Aided Logic, MAGIC) 等. 目前关于忆阻器三值逻辑设计方法的研究还不多, 文献^[10-11]对 MRL 设计方法进行扩展, 实现了三值与逻辑, 三值或逻辑. 但是, 三值非逻辑需要通过 CMOS 或者 CNTFET 器件来实现, 从而导致电路的面积和功耗增大, 并且需要额外的负载电阻, 复杂的操作步骤以及多种电压来实现. 因此, 利用 MRL 来实现三值逻辑将会出现功耗过高, 计算复杂度高, 控制电路复杂等问题. 在 MAGIC 逻辑设计中, 只需施加一种电压, 不需要负载电阻以及额外的开销, 输入值存储在输入忆阻器, 输出值存储在输出忆阻器, 运算过程中, 输入忆阻器的状态不发生变化, 从而, 输入值不会在运算过程中被破坏, 方便重复操作, 因此, MAGIC 更加适合逻辑运算. 忆阻器通常是以忆阻交叉阵列的形式出现, 交叉点为单个忆阻器, 其具有面积小、超高的存储密度、超快的存取速度等优点, MAGIC 或非、非逻辑能够完全嵌入到忆阻交叉阵列中. 综上所述, 本文将提出基于 MAGIC 的三值基本逻辑电路, 并在此基础上实现了三值译码器和三值加法器, 利用 Spice 仿真对其进行验证.

2 问题分析

近年来, 科学家们对忆阻器的特性进行深入地研究. 2008 年, 惠普实验室实现了忆阻器, 其由二氧化钛(TiO_2)薄膜夹在两个铂电极之间组成, 如图 1 所示. 其中 TiO_2 薄膜由二氧化钛和掺杂的多氧化钛组成. 未掺杂的二氧化钛(未掺杂区)具有导电性较弱, 电阻较高等特点; 掺杂的二氧化钛(掺杂区)中, 由于缺失了部分氧原子, 从而具有导电性较强, 电阻较低等特点. 施加正向电压将使掺杂区域扩大, 电阻减少. 反之, 施加反向电压将压缩掺杂区域, 电阻增大. 图 2 所示为忆阻器的符号, 其中掺杂区域标记为黑色, 无掺杂区域标记为白色.

为了让忆阻器表示三种逻辑状态, 本文将用高阻、中阻、低阻来表示三个逻辑值. 各个逻辑值的区间为逻辑 0(高阻状态): $[R_{\text{ON}}, R_{\text{ON}} + \Delta R]$, 逻辑 1(中阻状态): $[R_{\text{ON}} + \Delta R, R_{\text{ON}} + 2\Delta R]$, 逻辑 2(低阻



图 1 惠普忆阻器模型

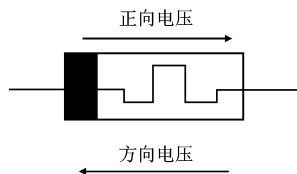


图 2 忆阻器符号

状态): $[R_{\text{ON}} + 2\Delta R, R_{\text{OFF}}]$, 其中 $\Delta R = (R_{\text{OFF}} - R_{\text{ON}})/3$, 如图 3 所示.

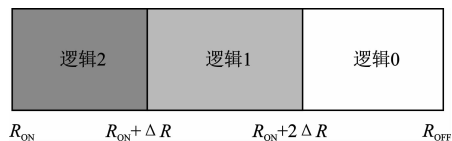


图 3 忆阻器的 3 种阻值状态

文献^[12]通过在单个忆阻器两端施加不同大小的电压, 分析了忆阻器的 3 种阻值状态之间的转换, 如图 4、5 所示.

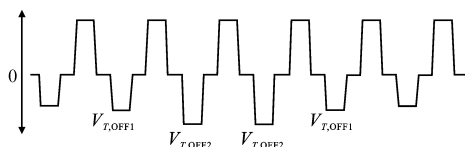


图 4 输入信号分析图

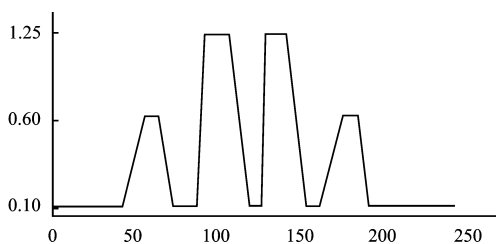


图 5 忆阻器对输入信号的响应

在此基础上, 本文将把忆阻器从逻辑 2 转换到逻辑 1, 逻辑 2 转换到逻辑 0, 逻辑 1 转换到逻辑 0 所需的电压分别设为 $V_{T, \text{OFF}1}$, $V_{T, \text{OFF}2}$, $V_{T, \text{OFF}3}$. 从逻辑 0 转换到逻辑 1, 逻辑 0 转换到逻辑 2, 逻辑 1 转换到逻辑 2 所需电压分别设为 $V_{T, \text{ON}1}$, $V_{T, \text{ON}2}$, $V_{T, \text{ON}3}$. $0 < V_{T, \text{OFF}1} \approx V_{T, \text{OFF}3} < V_{T, \text{OFF}2}$, $V_{T, \text{ON}2} < V_{T, \text{ON}1} \approx V_{T, \text{ON}3} < 0$, $|V_{T, \text{ON}3}| \gg V_{T, \text{OFF}2}$. 高阻、中阻、低阻状态分

别设为 $R_{\text{OFF}}、R_1 = \frac{R_{\text{ON}} + R_{\text{OFF}}}{2}、R_{\text{ON}}$, 且 $R_{\text{OFF}} \gg R_{\text{ON}}$.

3 方法与设计

本文在 MAGIC 二值逻辑设计方法的基础上, 设计基于 MAGIC 的三值逻辑电路, 其中基本逻辑电路包括三值或非逻辑、三值非逻辑. 并在此基础上, 实现了三值译码器和三值加法器.

3.1 三值或非逻辑

首先利用 MAGIC 或非逻辑的电路结构来实现三值或非逻辑, 其真值表如表 1 所示. MAGIC 或非逻辑结构由两个输入忆阻器并联, 再与一个输出忆阻器串联构成, 如图 6 所示. 操作步骤分为两步, 第一步是初始化, 将输出忆阻器设置为低阻状态, 并根据输入逻辑值的情况, 对输入忆阻器进行初始化, 即设置输入忆阻器的阻值状态. 第二步逻辑实现, 施加外接电压 V_0 来进行逻辑运算. 为了设计三值或非逻辑, 将对三值 MAGIC 或非逻辑的限制条件进行如下分析.

表 1 三值或非逻辑真值表

in ₁	in ₂	out
0	0	2
0	1	1
0	2	0
1	0	1
1	1	1
1	2	0
2	0	0
2	1	0
2	2	0

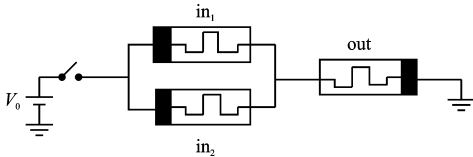


图 6 MAGIC 或非逻辑结构

(1) 当输入全为逻辑 0 时, 输出为逻辑 2. 输出忆阻器应该保持低阻状态, 即输出忆阻器两端的电压必须小于 $V_{T,\text{OFF1}}$. 由此可得:

$$\frac{2R_{\text{ON}}}{R_{\text{OFF}} + 2R_{\text{ON}}} \cdot V_0 \approx \frac{2R_{\text{ON}}}{R_{\text{OFF}}} \cdot V_0 < V_{T,\text{OFF1}} \quad (1)$$

(2) 当一个输入为逻辑 0, 另一个输入为逻辑 1 时, 输出为逻辑 1. 输出忆阻器将从低阻状态转换到

中阻状态, 即输出忆阻器两端的电压应该大于 $V_{T,\text{OFF1}}$, 小于 $V_{T,\text{OFF2}}$, 由此可得:

$$V_{T,\text{OFF1}} < \frac{2R_{\text{ON}}}{R_{\text{OFF}} + 2R_{\text{ON}}} \cdot V_0 \approx \frac{2R_{\text{ON}}}{R_{\text{OFF}}} \cdot V_0 < V_{T,\text{OFF2}} \quad (2)$$

(3) 当输入全为逻辑 1 时, 输出为逻辑 1. 输出忆阻器将从低阻状态切换到中阻状态, 即输出忆阻器两端的电压应该大于 $V_{T,\text{OFF1}}$, 小于 $V_{T,\text{OFF2}}$, 由此可得:

$$V_{T,\text{OFF1}} < \frac{R_{\text{ON}}}{\frac{R_1 \cdot R_{\text{OFF}}}{R_1 + R_{\text{OFF}}} + R_{\text{ON}}} \cdot V_0 \approx \frac{3R_{\text{ON}}}{R_{\text{OFF}}} \cdot V_{T,\text{OFF2}} \quad (3)$$

(4) 当一个输入为逻辑 0, 另一个输入为逻辑 2 时, 输出为逻辑 0. 输出忆阻器将从低阻状态转换到高阻状态, 即输出忆阻器两端的电压应该大于 $V_{T,\text{OFF2}}$, 由此可得:

$$\frac{R_{\text{ON}} + R_{\text{OFF}}}{R_{\text{ON}} + 2R_{\text{OFF}}} \cdot V_0 \approx \frac{V_0}{2} > V_{T,\text{OFF2}} \quad (4)$$

(5) 当一个输入为逻辑 1, 另一个输入为逻辑 2 时, 输出为逻辑 0. 输出忆阻器将从低阻状态转换到高阻状态, 即输出忆阻器两端的电压必须大于 $V_{T,\text{OFF2}}$, 由此可得:

$$\frac{R_{\text{ON}}}{\frac{R_1 \cdot R_{\text{ON}}}{R_1 + R_{\text{ON}}} + R_{\text{ON}}} \cdot V_0 \approx \frac{V_0}{2} > V_{T,\text{OFF2}} \quad (5)$$

(6) 当输入全为逻辑 2 时, 输出为逻辑 0. 输出忆阻器将从低阻状态转换到高阻状态, 即输出忆阻器两端的电压应该大于 $V_{T,\text{OFF2}}$, 由此可得:

$$\frac{2}{3} V_0 > V_{T,\text{OFF2}} \quad (6)$$

(7) 为了保持以上情况输入值不变, 输入忆阻器两端的电压应该小于 $|V_{T,\text{ON1}}|$ 和 $|V_{T,\text{ON3}}|$, 由此可得:

$$V_0 < \min[|V_{T,\text{ON1}}|, |V_{T,\text{ON3}}|] \quad (7)$$

结合以上七种情况, 又因为 $V_{T,\text{OFF1}} \approx \frac{3}{5} V_{T,\text{OFF2}}$, 可得最终的约束条件:

$$\frac{R_{\text{OFF}}}{5R_{\text{ON}}} \cdot V_{T,\text{OFF2}} < V_0 < \min\left[\frac{R_{\text{OFF}}}{4R_{\text{ON}}} \cdot V_{T,\text{OFF2}}, |V_{T,\text{ON1}}|, |V_{T,\text{ON3}}|\right] \quad (8)$$

3.2 三值非逻辑

三值非逻辑分为三类: 标准三值反相器 (Standard Ternary Inverter, STI), 正三值反相器 (Positive Ternary Inverter, PTI) 和负三值反相器 (Neg-

ative Ternary Inverter, NTI). 将利用 MAGIC 非逻辑的电路结构来实现三值非逻辑,如图 7 所示,其真值表如表 2 所示. 为了设计三值非逻辑,采用与上节相同的方法对三值 MAGIC 非逻辑的限制条件进行分析.

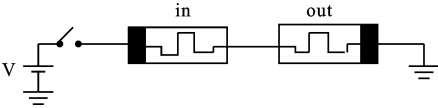


图 7 MAGIC 非逻辑结构

表 2 三值非逻辑真值表

Input X	STI	PTI	NTI
0	2	2	2
1	1	2	0
2	0	0	0

STI 的约束条件:

$$\frac{3R_{OFF}}{10R_{ON}} \cdot V_{T,OFF2} < V_1 <$$
$$\min \left[\frac{R_{OFF}}{2R_{ON}} \cdot V_{T,OFF2}, |V_{T,ON1}|, |V_{T,ON3}| \right] \quad (9)$$

PTI 的约束条件:

$$\frac{R_{OFF}}{2R_{ON}} \cdot V_{T,OFF2} < V_2 <$$
$$\min \left[\frac{3R_{OFF}}{5R_{ON}} \cdot V_{T,OFF2}, |V_{T,ON1}|, |V_{T,ON3}| \right] \quad (10)$$

NTI 的约束条件:

$$2V_{T,OFF2} < V_3 <$$
$$\min \left[\frac{3R_{OFF}}{10R_{ON}} \cdot V_{T,OFF2}, |V_{T,ON1}|, |V_{T,ON3}| \right] \quad (11)$$

3.3 译码器

与、或、阈(译码)是三值逻辑的基本运算,本文提出的或非逻辑和非逻辑可构成基本逻辑运算,从而构建复杂三值逻辑电路. 根据这些电路的要求,图 8 给出了三值译码器设计,其对输入 X 的响应为:

$$X_k = \begin{cases} 2, & \text{if } x = k \\ 0, & \text{if } x \neq k \end{cases} \quad (12)$$

式中, k 可以取逻辑值 0、1、2,输入 x 经过译码器处理为三位输出,真值表如表 3 所示.

表 3 译码器真值表

X	X ₀	X ₁	X ₂
0	2	0	0
1	0	2	0
2	0	0	2

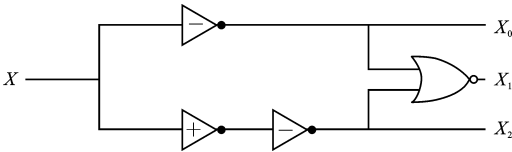


图 8 三值译码器原理图

从真值表可以得出, X_0 就是 NTI, X_2 可以通过 PTI 和 NTI 实现, $X_1 = \overline{X_0} + \overline{X_2}$. 所以译码器由一个 PTI、两个 NTI 和一个或非逻辑构成. 通过本文提出的三值基本逻辑门可以将译码器嵌入到忆阻器交叉阵列中,如图 9 所示.

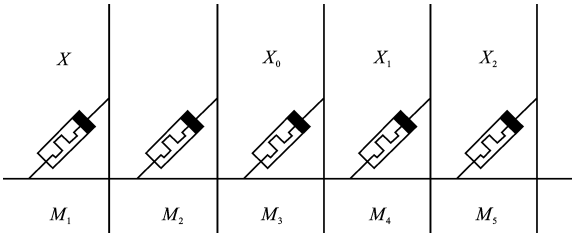


图 9 三值译码器示意图

译码器操作步骤如下:

- 第 1 步:把输入值对应的阻值状态写入输入忆阻器(M_1), $M_2 \sim M_5$ 初始化为低阻状态(逻辑 2).
- 第 2 步: M_2 接地,在 M_1 两端接入电压 V_2 ,执行 PTI 逻辑.
- 第 3 步: M_3 接地,在 M_1 两端接入电压 V_3 ,执行 NTI 逻辑.
- 第 4 步: M_5 接地, M_2 作为输入并接入电压 V_3 ,执行 NTI 逻辑.
- 第 5 步: M_4 接地, M_3 和 M_5 作为三值或非逻辑的输入,接入电压 V_0 ,执行三值或非逻辑.

3.4 加法器

在前面提出的三值逻辑电路基础上,本文设计了三值加法器. 其真值表见表 4,由此可以推出三值加法器的表达式:

表 4 三值加法器真值表

x_1	x_2	a_1	a_2	a_3	b_1	b_2	b_3	Sum	Carry
0	0	2	0	0	2	0	0	0	0
0	1	2	0	0	0	2	0	1	0
0	2	2	0	0	0	0	2	2	0
1	0	0	2	0	2	0	0	1	0
1	1	0	2	0	0	2	0	2	0
1	2	0	2	0	0	0	2	0	1
2	0	0	0	2	2	0	0	2	0
2	1	0	0	2	0	2	0	0	1
2	2	0	0	2	0	0	2	1	1

$$\begin{aligned} \text{Sum} = & \overline{\overline{(a_1 + b_3)} + (a_2 + b_2) + (a_3 + b_1)} \\ & + (1 + (a_1 + b_2) + (a_2 + b_1) + (a_3 + b_3)) \end{aligned} \tag{13}$$

$$\text{Carry} = \overline{\overline{(1 + (a_3 + b_3) + (a_3 + b_2) + (a_2 + b_3))}} \tag{14}$$

其中, a_1, a_2, a_3 和 b_1, b_2, b_3 表示输入 x_1 和 x_2 经过译码器处理后的输出. 三值加法器的原理图如图 10 所示, 由 2 个译码器、11 个或非逻辑、8 个三值非逻辑、3 个三值或非逻辑组成. 三值加法器的示意图如图 11 所示.

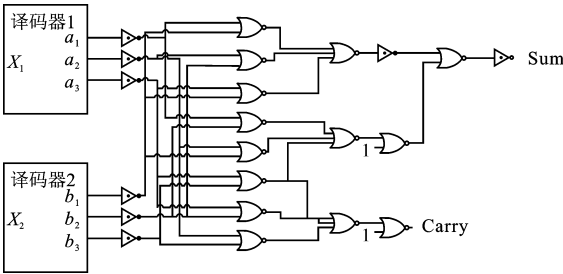


图 10 三值加法器原理图

4 实验结果与分析

本文通过 HSPICE 仿真软件对所设计的逻辑门电路和组合逻辑电路进行仿真, 忆阻器模型采用文献[13]所提出的忆阻器模型 VTEAM. 此处取 $R_{on}=100\ \Omega, R_{off}=2.5\ \text{k}\Omega, K_{on}=-216.2, K_{off}=0.091, D=3\ \text{nm}, V_{on}=-1.5\ \text{V}, V_{off}=0.1\ \text{V}, \alpha_{on}=4, \alpha_{off}=4$. 三值或非逻辑和三值非逻辑的仿真结果

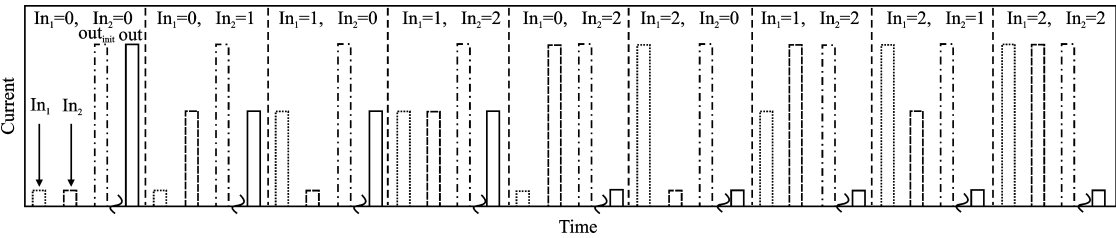


图 12 三值或非逻辑仿真结果

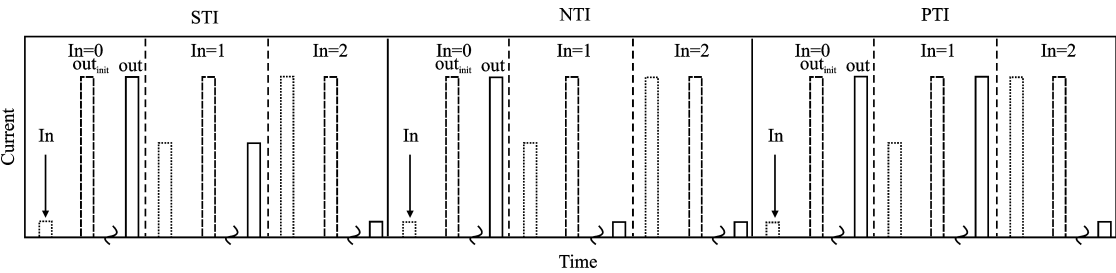


图 13 三值非逻辑的仿真结果

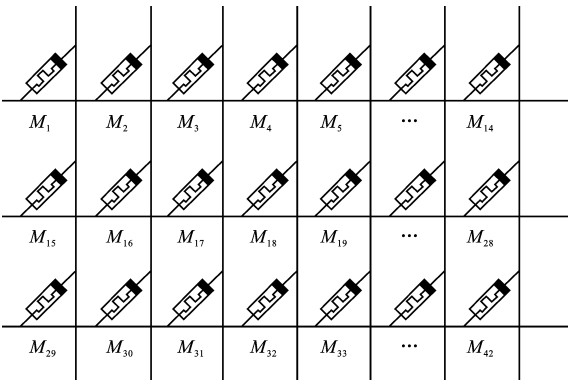


图 11 三值加法器示意图

如图 12、13 所示, 图 12 中 in_1 和 in_2 为或非逻辑输入信号, out 为或非逻辑输出信号. 图 13 中 in 为非逻辑输入信号, out 为非逻辑输出信号. 从图中可看出, 输出信号与或非逻辑、非逻辑真值表相符. 表 5、表 6 展示了本文与其他设计方法的实验结果对比. 其中, F 指的是器件的特征尺寸, 单个忆阻器面积为 $4F^2$, 单个晶体管的面积为 $6F^2$. 从表 5 可看出, 与 CMOS, CNTFET, 文献[11]对比, 本文提出的三值或非逻辑电路面积最小, 功耗最低, 步骤数相同. 与 MAGIC 二值或非逻辑电路对比, 本文提出的三值或非逻辑电路仅增加了功耗. 从表 6 可看出, 本文提出的三值非逻辑电路面积最小, 步骤数增加了 1 步初始化, 比 CMOS, CNTFET 多 1 步, 与文献[10]相同. 比 MAGIC 二值非逻辑电路增加了功耗.

表 5 三值或非逻辑电路比较结果

设计方法	忆阻器	晶体管	面积	功耗 /mw	步骤
CMOS	—	4	$24F^2$	—	2
CNTFET	—	10	$40F^2$	11. 29	2
MAGIC (二值)	3	—	$12F^2$	3. 82	2
文献[11]	2	6	$44F^2$	34. 62	2
本文	3	—	$12F^2$	6. 78	2

表 6 三值非逻辑电路比较结果

设计方法	忆阻器	晶体管	面积	功耗 /mw	步骤
CMOS	—	4	$24F^2$	—	1
CNTFET	—	6	$36F^2$	—	1
MAGIC (二值)	2	—	$8F^2$	2. 33	2
文献[10]	1	2	$16F^2$	—	2
本文	2	—	$8F^2$	4. 01	2

随后完成了译码器和加法器的仿真实验,实验结果如图 14 和图 15 所示,可以看出其结果也符合真值表. 对比实验结果如表 7 和表 8 所示. 从表 7 可看出,与 CMOS,CNTFET,文献[11]对比,本文提出的三值译码器减少了大部分的面积开销,而且功耗最低,但是步骤数增加了 1 步初始化. 从表 8 可看出,与 CMOS,CNTFET,文献[11]对比,本文提出的三值加法器减少了大部分的面积开销和功耗,但是步骤数增加了. 而 MRL 设计方法中由于无法级联额外增加了多个缓存器,导致电路的时延、功耗和面积都变大.

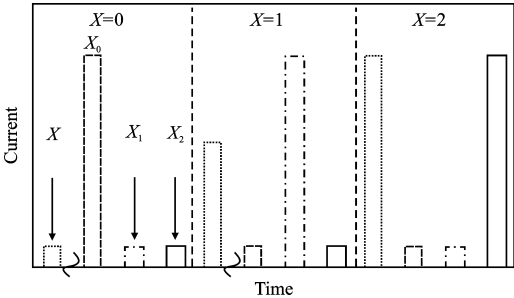


图 14 三值译码器仿真结果

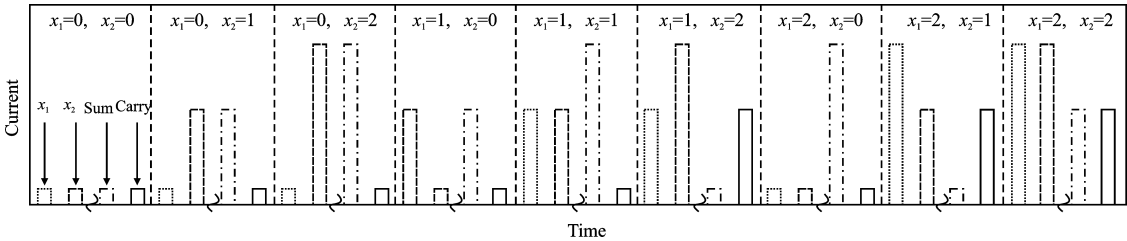


图 15 三值加法器仿真结果

表 7 三值译码器比较结果

设计方法	忆阻器	晶体管	面积	功耗 /mw	步骤
CMOS	—	10	$60F^2$	—	4
CNTFET	—	16	$96F^2$	20. 63	4
文献[11]	2	12	$80F^2$	14. 51	4
本文	5	—	$20F^2$	5. 26	5

表 8 三值加法器比较结果

设计方法	忆阻器	晶体管	面积	功耗 /mw	步骤
CMOS	—	106	$636F^2$	—	14
CNTFET	—	138	$828F^2$	233. 2	13
文献[11]	18	34	$276F^2$	109. 7	13
本文	42	—	$168F^2$	17. 0	24

5 结束语

本文提出了一种利用忆阻器实现多值逻辑的综合方法. 从设计忆阻器的三值基本逻辑门电路开始, 并在此基础上研究了三值译码器和三值加法器. 实验结果表明,与其他三值逻辑电路相比,本文提出的三值逻辑电路面积开销较小,功耗较低,这些结果将有助于提高多值逻辑电路的集成度,减少多值逻辑电路的功耗.

参考文献:

[1] CHUA L. Memristor-the missing circuit element[J]. IEEE Transactions on Circuit Theory, 1971, 18(5): 507-519. DOI: 10. 1109/TCT. 1971. 1083337.
[2] STRUKOV D B, SNIDER G S, STEWART D R, et

- al. The missing memristor found[J]. *Nature*, 2008, 453(7191): 80-83. DOI: 10.1038/nature06932.
- [3] BALLA P C, ANTONIOU A. Low power dissipation MOS ternary logic family[J]. *IEEE Journal of Solid-State Circuits*, 1984, 19(5): 739-749. DOI: 10.1109/JSSC.1984.1052216.
- [4] LIN S, KIM Y B, LOMBARDI F. A novel CNTFET-based ternary logic gate design[C]//*Proceedings of the 2009 52nd IEEE International Midwest Symposium on Circuits and Systems*. Cancun: IEEE, 2009: 435-438. DOI: 10.1109/MWSCAS.2009.5236063.
- [5] LIN S, KIM Y B, LOMBARDI F. CNTFET-based design of ternary logic gates and arithmetic circuits[J]. *IEEE Transactions on Nanotechnology*, 2011, 10(2): 217-225. DOI: 10.1109/TNANO.2009.2036845.
- [6] APPENZELLER J, LIN Y M, KNOCH J, et al. Comparing carbon nanotube transistors-the ideal choice; a novel tunneling device design [J]. *IEEE Transactions on Electron Devices*, 2005, 52(12): 2568-2576. DOI: 10.1109/TED.2005.859654.
- [7] MERCED-GRAFALS E J, D VILA N, GE N, et al. Repeatable, accurate, and high speed multi-level programming of memristor 1T1R arrays for power efficient analog computing applications[J]. *Nanotechnology*, 2016, 27(36): 365202. DOI: 10.1088/0957-4484/27/36/365202.
- [8] K VATINSKY S, WALD N, SATAT G, et al. MRL-Memristor ratioed logic[C]//*Proceedings of 2012 13th International Workshop on Cellular Nanoscale Networks and their Applications*. Turin: IEEE, 2012: 1-6. DOI: 10.1109/CNNA.2012.6331426.
- [9] K VATINSKY S, BELOUSOV D, LIMAN S, et al. MAGIC-Memristor-aided logic[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(11): 895-899. DOI: 10.1109/TCSII.2014.2357292.
- [10] KHALID M, SINGH J. Memristor based unbalanced ternary logic gates[J]. *Analog Integrated Circuits and Signal Processing*, 2016, 87(3): 399-406. DOI: 10.1007/s10470-016-0733-1.
- [11] SOLIMAN N S, FOUDA M E, RADWAN A G. Memristor-CNTFET based ternary logic gates[J]. *Microelectronics Journal*, 2018, 72: 74-85. DOI: 10.1016/j.mejo.2017.12.008.
- [12] BERIKAA E R, KHALIL A, HOSSAM H, et al. Multi-Bit RRAM transient modelling and analysis [C]//*Proceedings of 2018 30th International Conference on Microelectronics*. Sousse: IEEE, 2018: 232-235. DOI: 10.1109/ICM.2018.8704084.
- [13] K VATINSKY S, RAMADAN M, FRIEDMAN E G, et al. VTEAM: a general model for voltage-controlled memristors[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015, 62(8): 786-790. DOI: 10.1109/TCSII.2015.2433536.

作者简介:

钟悦航 男,(1996-),硕士研究生.研究方向为忆阻器逻辑设计.

武继刚 男,(1963-),博士,教授.研究方向为高性能体系结构.

刘 鹏(通讯作者) 男,(1984-),博士,讲师.研究方向为超大规模集成数字电路设计与测试.

E-mail:liupeng@gdut.edu.cn.

姚 廉 男,(1996-),硕士研究生.研究方向为忆阻器逻辑设计.